

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-20836

⑬ Int. Cl.⁵

G 06 F 11/28
9/46

識別記号

3 1 5 A
3 1 0 K

庁内整理番号

7343-5B
8945-5B

⑭ 公開 平成3年(1991)1月29日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 マイクロプロセッサのデバッグ装置

⑯ 特 願 平1-155332

⑰ 出 願 平1(1989)6月16日

⑱ 発 明 者	浦 出 正 和	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	岡 本 智 伸	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑳ 出 願 人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
㉑ 代 理 人	弁理士 栗野 重孝	外1名	

明 細 書

1. 発明の名称

マイクロプロセッサのデバッグ装置

2. 特許請求の範囲

メモリとデータベースを共有し、命令の実行を時分割に行なり多重処理型プロセッサにおいて、現在どのタスクを実行しているかを示す状態出力手段と、プログラムの実行を停止してデバッグモードの実行をさせる割り込み入力手段と、前記割り込み入力手段からの割り込み入力かどのタスクに対して受け付けられたのかを示す認識手段を有するマイクロプロセッサのデバッグ装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は多重処理型プロセッサの効率の高いデバッグ装置を提供するものである。

従来の技術

近年、多重処理型のプロセッサは、その応用性、効率の良さ等の理由で多方面で利用されはじめている。

第2図は従来の多重処理型プロセッサのデバッグ装置の構成を示すものである。便宜上9個の同時処理を行なり多重処理型プロセッサを示している。第2図において、1はプログラムカウンタ1～9、2はデバッグ用の割り込み要求信号、3は割り込み入力手段、4は割り込み制御部、5はタイミングジェネレータ、6はメモリ、7は命令解析デコーダ(以下CLAと略す)、8は演算器(以下ALUと略す)、10は割り込み受理信号、15はデータベース、16はコントロールバスを示している。

以上のように構成された多重処理型プロセッサのデバッグ装置について、以下その動作について説明する。

まずタイミングジェネレータ5で発生したタイミングに従ってプログラムカウンタPC1～PC9の一つが選ばれ、メモリ6に対するアドレスを発生しCLA7にそのデータを出力する。CLA7で発生したコマンドに従って、ALU8やメモリ6、プログラムカウンタ1を動作させデータベース

15でデータの送受信を行なうことでプログラム処理を進めていく。デバッグ用の割り込み要求信号2が発生すると割り込み入力部3を通して割り込みを受理し、割り込み制御部4を通して割り込み処理に移る。このとき、割り込み受理信号10を出力してプログラム全体が停止し、デバッグ用のサービスプログラムを実行する。

発明が解決しようとする課題

しかしながら上記の従来の構成では、デバッグ用の割り込み信号が発生するとすべてのプログラムを停止してデバッグモードに入るため、複数の異なる処理、例えばモータを制御する処理と時計機能を制御する処理とシステム全体を制御する処理を行なっている場合システムが暴走してしまい、継続して元のプログラムの実行ができなくなるという欠点をもっている。

本発明は上記従来の問題点を解決するもので、デバッグ用の割り込みで必要なタスクのみ割り込みを受け付け、その他のタスクはそのままプログラムの実行を継続できるようにすることを目的と

している。

課題を解決するための手段

この目的を達成するために本発明のマイクロプロセッサのデバッグ装置は、現在どのタスクを実行しているかを示す状態出力手段と、プログラムの実行を停止してデバッグモードの実行をさせる割り込み入力手段と、前記割り込み入力手段からの割り込み入力がどのタスクに対して受け付けられたのかを示す認識手段を有している。

作用

この構成によってデバッグしたいタスクにのみ割り込みを受け付け、その他のタスクはそのままプログラムの実行を継続することができる。

実施例

以下本発明の一実施例について、図面を参照しながら説明する。

第1図は本発明の実施例における多重処理型プロセッサのデバッグ装置の構成を示すものである。第1図において、1はプログラムカウンタ1~9、2はデバッグ用の割り込み要求信号、3は割り込

み入力手段、5はタイミングジェネレータ、6はメモリ、7はC L A、8はA L U、10は割り込み受理信号、15はデータベース、16はコントロールバス、50は状態出力手段、51~59は状態出力信号、60は割り込み認識部、61~69は認識情報出力信号を示している。

以上のように構成された多重処理型プロセッサのデバッグ装置について、以下その動作について説明する。

まずタイミングジェネレータ5で発生したタイミングに従ってプログラムカウンタPC1~PC9の一つが選ばれ、メモリ6に対するアドレスを発生しC L A 7にそのデータを出力する。C L A 7で発生したコマンドに従って、A L U 8やメモリ6、プログラムカウンタ1を動作させデータベース15でデータの送受信を行なうことでプログラム処理を進めていく。タイミングジェネレータ5の出力はさらに状態出力手段50を通して、現在実行しているタスクに相当する端子51~59の一つをアクティブにする。本実施例ではプログラム

カウンタPC1のタスクが端子51に相当している。デバッグ用の割り込み要求信号2が発生すると割り込み入力部3を通して割り込みを受理し、割り込み認識部60を通して割り込み受理信号10を出力し、さらに現在実行しているタスクに相当する端子51~59の一つをアクティブにし、そのタスクのプログラムカウンタを停止し割り込み処理に移してデバッグ用のサービスプログラムを実行する。本実施例ではプログラムカウンタPC1のタスクが端子51に相当している。

以上のように本実施例によれば、複数の同時処理を行なう多重処理型プロセッサに、デバッグしたいタスクにのみ割り込みを受け付け、その他のタスクはそのままプログラムの実行を継続できるデバッグ装置を構成することができる。

発明の効果

以上のように本発明は、メモリとデータベースを共有し、命令の実行を時分割に行なう多重処理型プロセッサにおいて、現在どのタスクを実行しているかを示す状態出力手段と、プログラムの実行

を停止してデバッグモードの実行をさせる割り込み入力手段と、前記割り込み入力手段からの割り込み入力がどのタスクに対して受け付けられたのかを示す認識手段を具備することで、デバッグしたいタスクにのみ割り込みを受け付け、その他のタスクはそのままプログラムの実行を継続できる優れた多重処理型プロセッサのデバッグ装置を実現できるものである。

4. 図面の簡単な説明

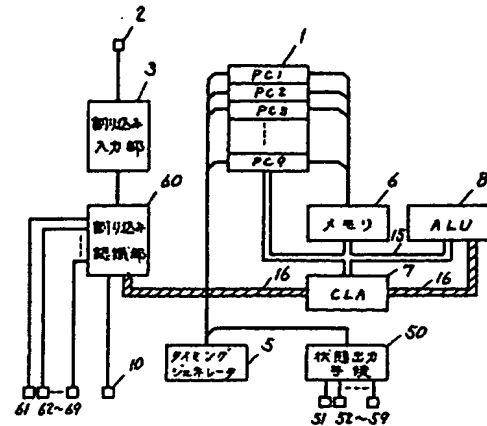
第1図は本発明の実施例における多重処理型プロセッサのデバッグ装置の構成図、第2図は従来の多重処理型プロセッサの構成図である。

1……プログラムカウンタ、2……割り込み要求信号、3……割り込み入力部、5……タイミングジェネレータ、50……状態出力手段、60……割り込み認識部。

代理人の氏名 弁理士 栗野重孝 ほか1名

- 1 …… プログラムカウンタ
- 2 …… 割り込み要求信号
- 3 …… 割り込み入力部
- 5 …… タイミングジェネレータ
- 6 …… メモリ
- 7 …… CLA
- 8 …… ALU
- 10 …… 割り込み認識部
- 15 …… データバス
- 16 …… コントロールバス
- 50 …… 状態出力手段
- 51～59 …… 状態出力信号
- 60 …… 割り込み認識部
- 61～69 …… 認識情報出力信号

第1図



- 1 …… プログラムカウンタ
- 2 …… 割り込み要求信号
- 3 …… 割り込み入力部
- 4 …… 割り込み制御部
- 5 …… タイミングジェネレータ
- 6 …… メモリ
- 7 …… CLA
- 8 …… ALU
- 10 …… 割り込み認識部
- 15 …… データバス
- 16 …… コントロールバス

第2図

